

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

US
J1002 U.S. PRO
09/964995
09/27/01



日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application:

2000年 9月28日

#3 | Priority
paper
H-13-61
R. Shibusawa

出願番号
Application Number:

特願2000-297485

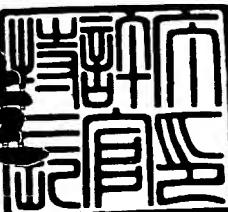
出願人
Applicant(s):

日本電気株式会社

2001年 3月 2日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3014691

【書類名】 特許願
【整理番号】 74410423
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/76
H01L 29/78
H01L 21/762
H01L 21/311

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日
本電気株式会社内

【氏名】 小川 和夫

【特許出願人】

【識別番号】 000004237
【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100082935

【弁理士】

【氏名又は名称】 京本 直樹

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100082924

【弁理士】

【氏名又は名称】 福田 修一

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268

【弁理士】

【氏名又は名称】 河合 信明

【電話番号】 03-3454-1111

【手数料の表示】

【予納台帳番号】 008279
【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9115699
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項1】 半導体基板表面に設けた溝と、その内壁に形成した酸化膜と、前記酸化膜を介して前記溝を充填する溝埋込み絶縁体物とを有し半導体素子間を絶縁体分離するトレンチ素子分離領域において、前記溝の上端部と前記溝埋込み絶縁体物の端部とが同一線上に位置するように形成されていることを特徴とする半導体装置。

【請求項2】 半導体基板表面に設けた溝と、その内壁に形成した酸化膜と、前記酸化膜を介して前記溝を充填する溝埋込み絶縁体物とを有し絶縁ゲート電界効果トランジスタ（以下、MOSトランジスタという）間を絶縁体分離するトレンチ素子分離領域において、前記溝の上端部と前記溝埋込み絶縁体物の端部とが同一線上に位置するように形成され、前記トレンチ素子分離領域で区画された半導体基板表面に前記溝埋込み絶縁体物をマスクとした不純物イオン注入を通して前記MOSトランジスタのチャネルドープ層が形成されていることを特徴とする半導体装置。

【請求項3】 半導体基板表面にトレンチ素子分離領域を形成する方法であって、前記半導体基板表面に第1の絶縁膜と耐酸化性のある第2の絶縁膜とをこの順に積層しパターニングする工程と、

前記第2の絶縁膜パターンをエッチングマスクにして前記半導体基板をドライエッチングし溝を形成する工程と、

前記第2の絶縁膜パターンを酸化マスクにして前記半導体基板を熱酸化し前記溝の内壁に酸化膜を形成する工程と、

前記熱酸化工程において前記第2の絶縁膜表面に形成される改質層をフッ素含有の中性ラジカルで除去する工程と、

前記改質層を除去した後、前記第2の絶縁膜表面を所定の膜厚量エッチングする工程と

前記第2の絶縁膜表面のエッチング後に前記溝を充填するように全面に埋込み絶縁膜を堆積させ前記第2の絶縁膜を研磨ストップとして前記埋込み絶縁膜を化

学機械研磨し溝埋込み絶縁体物を形成する工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項4】 前記第2の絶縁膜がシリコン窒化膜で構成されることを特徴とする請求項3記載の半導体装置の製造方法。

【請求項5】 前記半導体基板がシリコン基板であり前記中性ラジカルがフッ素ラジカルであることを特徴とする請求項4記載の半導体装置の製造方法。

【請求項6】 前記改質層除去の終点判定を反応生成物N Hからの波長336 nmの発光の強度変化を計測して行うことを特徴とする請求項5記載の半導体装置の製造方法。

【請求項7】 前記改質層除去の終点判定を反応生成物C Nからの波長388 nmの発光の強度変化を計測して行うことを特徴とする請求項5記載の半導体装置の製造方法。

【請求項8】 前記溝埋込み絶縁体物の端部と前記溝の上端部とが同一線上に位置するように前記第2の絶縁膜の膜厚量エッチング調整することを特徴とする請求項3から請求項7のうち1つの請求項に記載の半導体装置の製造方法。

【請求項9】 前記溝埋込み絶縁体物を形成してトレンチ素子分離領域を設けた後に、MOSトランジスタのチャネルドープ層をイオン注入と熱処理とで形成することを特徴とする請求項8記載の半導体装置の製造方法。

【請求項10】 前記第1の絶縁膜が半導体基板の熱酸化で形成するシリコン酸化膜であり、前記埋込み絶縁膜が気相成長法で堆積するシリコン酸化膜であることを特徴とする請求項3から請求項9のうち1つの請求項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置およびその製造方法に関し、特に、トレンチ素子分離領域の構造とその形成方法に関する。

【0002】

【従来の技術】

MOSトランジスタ等の半導体素子の構造の微細化及び高密度化は依然として精力的に推し進められている。微細化については、現在では0.15μm程度の寸法で形成される半導体素子が用いられ、この寸法を設計基準にしたメモリデバイスあるいはロジックデバイス等の半導体装置が実用化あるいは開発検討されてきている。

【0003】

このような微細化は、半導体装置の高集積化、高速化等による高性能化あるいは多機能化にとって最も効果的な手法であり、今後の半導体装置の製造にとって必須となっている。そして、このような半導体素子の微細化に伴い、半導体素子間を電気的に分離する素子分離領域は、トレンチ（溝）に絶縁体物が埋め込まれて形成されるようになってきている。このトレンチ素子分離の技術は古く20年以上も前から提案され、初めバイポーラトランジスタで実用化され、現在ではMOSトランジスタで構成された半導体装置にも適用されるようになった。

【0004】

しかし、上記の場合に生ずる特有の問題は、MOSトランジスタのサブスレッショールド特性においてハンプ現象が生じ易くなることである。これについて図9に基づいて説明する。図9は、MOSトランジスタのソースードレイン電流とゲート電圧の関係を示す。ここでは、いわゆるサブスレッショールド領域とチャネル生成状態（すなわちオン状態）の領域とが示される。図中の異常な特性として破線で示すように、サブスレッショールド領域において、正常なMOSトランジスタの場合（実線で示される）よりソースードレイン電流が増加するようになる。そして、この電流は、MOSトランジスタが完全にオン状態になると正常なMOSトランジスタの場合と同じになる。図9に示すようなソースードレイン電流・ゲート電圧特性に現れる破線で示すようなコブをハンプという。

【0005】

このようなハンプ発生は、トレンチ上端部が鋭い角部となり易いことによる。あるいは、トレンチに埋め込んだ絶縁体物に深い窪みが生じることに起因する。このようなハンプ現象が生じると、MOSトランジスタのしきい値が設計値より小さくなる。また、MOSトランジスタのゲート絶縁膜の信頼性が低下するため

に不良の半導体装置が多発し歩留まりが低下するようになる。

【0006】

上記の特有の問題を解決する方法として種々のものが提案されている。その中で、一例として特開2000-049222号公報に記載された従来技術がある（以下、第1の従来例という）。この第1の従来例について図10に従って説明する。図10はトレンチ素子分離の製造工程順の略断面図である。以下、符号の説明は本発明の説明に沿い上記公開公報に記載のものとは変えてある。

【0007】

図10（a）に示すように、シリコン基板101の所定の領域に、パターニングしたパット酸化膜102と窒化珪素膜103とをエッチングマスクにし、ドライエッチングでトレンチ104を形成する。次に、上記パット酸化膜102の露出部をエッチングし後退部105を形成する。

【0008】

次に、図10（b）に示すように、上記工程で露出したトレンチ104の表面を等方性エッチング処理し、トレンチ上端部の鋭い角部を丸めた角部106にする。そして、熱酸化を行い、トレンチ104の内面にライナー酸化膜107を形成する。ここで、ライナー酸化膜107はパット酸化膜102と一体になる。更に、化学気相成長（CVD）法で窒化珪素膜103を被覆しトレンチ104を充填するように全面に埋込み用絶縁膜108を堆積する。

【0009】

次に、公知の化学機械研磨（CMP）法で窒化珪素膜103を研磨ストップとして上記の埋込み用絶縁膜108を研磨し、図10（c）に示すように、トレンチ素子分離絶縁物109を充填する。

【0010】

次に、上記窒化珪素膜103、および、上記パット酸化膜102をエッチング除去する。このようにして、トレンチ104の上端部にあった鋭い角部は丸められ、シリコン基板101の所定領域のトレンチ104にライナー酸化膜107とトレンチ素子分離絶縁物109とが充填されたトレンチ素子分離領域が形成される。しかし、この場合、トレンチ素子分離絶縁物109の端部において窪み11

0, 110a が形成され易い。これは、窒化珪素膜 103 がトレンチ 104 の上端部でオーバーハンジ形状になり、トレンチ素子分離絶縁物 109 が上記オーバーハンジとなったところでトレンチ 104 を埋め込めなくなるからである。

【0011】

以後の工程で（図示せず）ゲート絶縁膜を形成し、上記ゲート絶縁膜を被覆し更にトレンチ素子分離絶縁物 109 表面を跨るようにゲート電極を形成する。このようにして、トレンチ素子分離域で囲われるMOSトランジスタを形成することになる。

【0012】

そこで、上述したトレンチ素子分離絶縁物の端部に生じる窪みを防止する技術が種々に検討されている。その技術の1つに、上述したようなトレンチ素子分離領域の形成において、ライナー酸化膜の形成工程後に、窒化珪素膜表面を少しあッチングする工程（以下、プルバック工程という）を加えてから埋込み用絶縁膜を形成する手法が米国特許第5, 981, 356号に記載されている（以下、第2の従来例と記す）。

【0013】

次に、この第2の従来例について図11と図12に従って説明する。図11と図12はトレンチ素子分離の製造工程順の略断面図である。以下、符号の説明は本発明の説明に沿い上記公報に記載のものとは変えてある。

【0014】

図11(a)に示すように、シリコン基板 201 の所定の領域に、パターニングしたパット酸化膜 202 と窒化珪素膜 203 とをエッチングマスクにし、ドライエッチングでトレンチ 204 を形成する。そして、熱酸化でトレンチ 204 の内面にライナー酸化膜 205 を形成する。ここで、ライナー酸化膜 205 はパット酸化膜 202 と一体になる。

【0015】

次に、希フッ酸溶液に浸した後、ホット磷酸溶液で上記窒化珪素膜 203 表面をエッチングし（プルバック工程）、図11(b)に示すような窒化珪素膜 203a を形成する。窒化珪素膜の端部 206 は、上記トレンチの上端部から後退す

る。そして、ライナー酸化膜205の形成領域から離れるようになる。

【0016】

次に、図11(c)に示すように、窒化珪素膜203aを被覆しトレンチ204を充填するように全面に埋込み用絶縁膜207を堆積する。

【0017】

そして、図12(a)に示すように、窒化珪素膜203aを研磨ストップとして上記の埋込み用絶縁膜207をCMP法で研磨し、トレンチ素子分離絶縁物208を充填する。

【0018】

次に、上記窒化珪素膜203aをエッチング除去する。そして、図12(b)に示すように、アルゴンのスパッタ等でトレンチ素子分離絶縁物208aの表面を整形して、なだらかなトレンチ素子分離絶縁物208bを形成する。さらに、希フッ酸によるエッチングを施して、ドーム形状のトレンチ素子分離絶縁物208cにする。パット酸化膜202の膜厚は、上記の処理工程で薄くなりパット酸化膜202aとなる。ここで、ライナー酸化膜205はトレンチ素子分離絶縁物208aで保護され、上記の処理工程でエッチングされることはない。この第2の従来例では、窒化珪素膜の端部206がトレンチの上端部から後退するのに対応して、トレンチ素子分離絶縁物208cはトレンチ204の上端部からはみ出るようになる。

【0019】

米国特許第5,981,356号には記載されていないが、MOSトランジスタの製造では、図12(c)に示すように、以後の工程でMOSトランジスタのチャネルドープ層として拡散層209を形成する。しかし、拡散層209はシリコン基板201表面部で不均一な深さになる。これは、パット酸化膜202aとトレンチ素子分離絶縁物208cの端部との膜厚が異なるために、不純物のイオン注入する工程においてその下のシリコン基板201表面への注入深さが不均一になるからである。

【0020】

このようにして、シリコン基板201の所定領域のトレンチ204にライナー

酸化膜205とトレンチ素子分離絶縁物208cとが充填されたトレンチ素子分離領域が形成される。

【0021】

以後の工程で(図示せず)ゲート絶縁膜を形成し、上記ゲート絶縁膜を被覆し更にトレンチ素子分離絶縁物208c表面を跨るようにゲート電極を形成する。このようにして、トレンチ素子分離域で囲われるMOSトランジスタを形成することになる。

【0022】

【発明が解決しようとする課題】

上述したように、従来の技術である第1の従来例では、トレンチ素子分離絶縁物の端部に窪みが生じ易い。そして、トレンチ素子分離領域を有する半導体装置の製造工程において上記の窪みの制御は非常に困難である。これは、上述したように窒化珪素膜103がトレンチ104の上端部でオーバーハング形状になり易く、またその形状の制御が難しいからである。

【0023】

また、従来の技術である第2の従来例では、MOSトランジスタのしきい値のバラツキが大きくなる。特にMOSトランジスタのチャネル幅が小さくなるとこのバラツキは顕著になる。これは、上述したようにMOSトランジスタのチャネルドープ層となる拡散層の深さが不均一となり、チャネルドープ層の不純物濃度が不均一になるからである。

【0024】

そして、この第2の従来例の技術では、上記の窪みの発生を原理的にはなくすことができる。しかし、この第2の従来例の技術を半導体装置の量産工程に適用すると、上記窪みの生じる場合があり、また、その窪みの深さが大きくなつくなる。これは、上述したブルバック工程において、窒化珪素膜の端部206のトレンチ204の上端部から後退する量が制御できないからである。

【0025】

本発明の目的は、上記の問題を簡便に解決し、高い制御性のもとに形成できるトレンチ素子分離の構造とその製造方法を提供することにある。

【0026】

【課題を解決するための手段】

このために本発明の半導体装置では、半導体基板表面に設けた溝と、その内壁に形成した酸化膜と、前記酸化膜を介して前記溝を充填する溝埋込み絶縁体物とを有し半導体素子間を絶縁体分離するトレンチ素子分離領域において、前記溝の上端部と前記溝埋込み絶縁体物の端部とが同一線上に位置するように形成されている。

【0027】

あるいは、本発明の半導体装置では、半導体基板表面に設けた溝と、その内壁に形成した酸化膜と、前記酸化膜を介して前記溝を充填する溝埋込み絶縁体物とを有しMOSトランジスタ間を絶縁体分離するトレンチ素子分離領域において、前記溝の上端部と前記溝埋込み絶縁体物の端部とが同一線上に位置するように形成され、前記トレンチ素子分離領域で区画された半導体基板表面に前記溝埋込み絶縁体物をマスクとした不純物イオン注入を通して前記MOSトランジスタのチャネルドープ層が形成されている。

【0028】

あるいは、本発明の半導体装置の製造方法は、半導体基板表面にトレンチ素子分離領域を形成する方法であって、前記半導体基板表面に第1の絶縁膜と耐酸化性のある第2の絶縁膜とをこの順に積層しパターニングする工程と、前記第2の絶縁膜パターンをエッティングマスクにして前記半導体基板をドライエッティングし溝を形成する工程と、前記第2の絶縁膜パターンを酸化マスクにして前記半導体基板を熱酸化し前記溝の内壁に酸化膜を形成する工程と、前記熱酸化工程において前記第2の絶縁膜表面に形成される改質層をフッ素含有の中性ラジカルで除去する工程と、前記改質層を除去した後、前記第2の絶縁膜表面を所定の膜厚量エッティングする工程と、前記第2の絶縁膜表面のエッティング後に前記溝を充填するように全面に埋込み絶縁膜を堆積させ前記第2の絶縁膜を研磨ストップとして前記埋込み絶縁膜を化学機械研磨し溝埋込み絶縁体物を形成する工程とを含む。

【0029】

ここで、前記第2の絶縁膜はシリコン窒化膜で構成される。また、前記半導体

基板はシリコン基板であり、前記中性ラジカルはフッ素ラジカルである。

【0030】

そして、前記改質層除去の終点判定を反応生成物NHからの波長336nmの発光の強度変化を計測して行う。または、前記改質層除去の終点判定を反応生成物CNからの波長388nmの発光の強度変化を計測して行う。

【0031】

そして、前記溝埋込み絶縁体物の端部位置と前記溝の上端部位置とが一致するよう前記第2の絶縁膜を所定の膜厚量エッティングする。

【0032】

あるいは、本発明の半導体装置の製造方法では、前記溝埋込み絶縁体物を形成してトレンチ素子分離領域を設けた後に、MOSトランジスタのチャネルドープ層をイオン注入と熱処理とで形成する。

【0033】

上記の第1の絶縁膜は半導体基板の熱酸化で形成するシリコン酸化膜であり、前記埋込み絶縁膜が気相成長法で堆積するシリコン酸化膜である。

【0034】

本発明では、上述した第2の絶縁膜表面の改質層除去が安定して行える。そして、上述したブルバック工程において、第2の絶縁膜のエッティング量は高精度に制御される。

【0035】

このために、素子活性領域とトレンチ素子分離領域との境界部に生成する窪み、すなわちトレンチ素子分離絶縁物の端部に生じる窪みの発生は完全に抑制される。そして、従来の技術で説明したハンプ現象が完全に抑制される。また、MOSトランジスタのしきい値のバラツキも大幅に低減する。このようにして、トレンチ素子分離領域を有するMOSトランジスタが高い制御性と高い歩留まりのもとで製造できるようになる。

【0036】

【発明の実施の形態】

次に、本発明の第1の実施の形態を図1乃至図3に基づいて説明する。図1と

図2は、本発明のトレンチ素子分離領域の形成工程順の断面図である。そして、図3は、本発明の特徴部を詳細に説明するための、トレンチ素子分離領域の形成における一工程の断面図である。

【0037】

従来の技術の図10(a)、図10(b)で説明した製造工程は、本発明の実施の形態でも同様に行われる。すなわち、図1(a)に示すように、シリコン基板1の所定の領域に、第1の絶縁膜であるパターニングしたパット酸化膜2と第2の絶縁膜である窒化珪素膜3とをエッティングマスクにし、ドライエッティングでトレンチ4を形成する。ここで、パット酸化膜2は膜厚10nm程度のシリコン酸化膜であり、窒化珪素膜3は膜厚150nm程度である。そして、上記パット酸化膜2の露出部にはエッティングで後退部5を形成する。

【0038】

次に、図1(b)に示すように、上記工程で露出したトレンチ4の表面を所定の条件で熱酸化し、トレンチ4の内面にライナー酸化膜6を形成する。ここで、ライナー酸化膜6は、膜厚20nm程度のシリコン酸化膜であり、パット酸化膜2と一体になる。ここで、上記の所定の熱酸化で上述したような鋭い角部は除去され丸めた角部7となる。

【0039】

上述したライナー酸化膜6を形成するための熱酸化により、窒化珪素膜3の表面は僅かに酸窒化膜に改質される。これが改質層である。そこで、本発明では図3で詳述するような方法で上記の改質層を非常に高い精度で除去する。引き続いて、図1(c)に示すように、窒化珪素膜3表面を高精度にエッティングする。すなわち、高精度のブルバック工程を施す。このブルバック工程では、図1(c)に破線で記した窒化珪素膜3はエッティングで一様に後退し、窒化珪素膜3aが形成される。ここで、その後退量は所定の値になるように高精度に設定される。なお、上記のエッティング液は公知のホット磷酸溶液である。

【0040】

次に、バイアスECR(Electron Cyclotron Resonance)法によるプラズマCVD法で埋込み用絶縁膜を堆積する。この方法で

は、モノシラン（ SiH_4 ）ガスおよび亜酸化窒素（ N_2O ）ガスをE C Rでプラズマ励起してシリコン酸化膜を堆積する。なお、この場合には、上記プラズマとシリコン基板間に直流バイアスが印加される。このバイアスE C R法で成膜した埋込み用絶縁膜は、C V D法で形成するシリコン酸化膜の中で特に緻密性の高い膜である。

【0041】

ここで、上記埋込み用絶縁膜に酸素雰囲気で650℃程度の熱処理を施してもよい。この熱処理を埋込み用絶縁膜の焼き締め処理という。この埋込み用絶縁膜はこの焼き締め処理で更に緻密化される。

【0042】

上述した埋込み用絶縁膜の緻密化の方法としては、埋込み用絶縁膜表面にレーザ光を照射する方法がある。このレーザ光の照射で埋め込み用絶縁膜の表面部にエネルギーを与える。ここで、レーザ光として、フッ素（ F_2 ）ガスからのエキシマレーザ光を使用するとよい。このレーザ光の波長は157nm程度であり、埋め込み用絶縁膜を構成するシリコン酸化膜を透過しない。このために、レーザ光のエネルギーは埋込み用絶縁膜の表面部にのみ吸収される。この他、レーザ光としては、Ar Fガスからのエキシマレーザ光でもよい。この場合の波長は193nmであり上記の場合より深い範囲まで緻密化した絶縁層が形成される。ここで、シリコン基板1は室温程度の温度に保たれる。また、この場合の雰囲気は、低圧の酸素雰囲気にするとよい。

【0043】

上述したように、埋込み用絶縁膜を緻密化すると、半導体装置の製造工程で必要なフッ酸系溶液での処理工程において、後述する溝埋込み絶縁体物のエッティングが抑制されるようになる。

【0044】

そして、図1(d)に示すように、窒化珪素膜3aを研磨ストップとしC M P法で上記の埋込み用絶縁膜を研磨し、溝埋込み絶縁体物であるトレンチ素子分離絶縁物8をトレンチ4内に埋め込む。

【0045】

このようにして、上述した窒化珪素膜3aおよびパット酸化膜2を除去する。そして、シリコン基板1の主表面を露出させる。この工程でトレンチ素子分離絶縁物8の表面もエッティングされる。更に、シリコン基板1の主表面を熱酸化し保護絶縁膜9を形成した後、図2(a)に示すように、レジストマスク10を形成しこれをイオン注入マスクにして、N型不純物イオン11をイオン注入する。そして、N型拡散層12を形成する。同様に、図2(b)に示すように、レジストマスク10aを形成しこれをイオン注入マスクにして、P型不純物イオン13をイオン注入しP型拡散層14を形成する。ここで、N型拡散層12、P型拡散層14はMOSトランジスタのチャネルドープ層となる。

【0046】

以下、上記保護絶縁層9をフッ酸溶液で除去する。この保護絶縁層9の除去工程で、トレンチ素子分離絶縁物8の表面および端部もエッティングされる。このようにして、シリコン基板1の所定領域のトレンチ4にライナー酸化膜6とトレンチ素子分離絶縁物8とが充填されたトレンチ素子分離領域が形成される。そして、上記トレンチ素子分離絶縁物8で区画されたシリコン基板1の表面にN型拡散層12とP型拡散層14がMOSトランジスタのチャネルドープ層として形成される。

【0047】

以後の工程では従来の技術と同様に、ゲート絶縁膜を形成し、ゲート絶縁膜を被覆し更にトレンチ素子分離絶縁物8表面を跨るようにゲート電極を形成する。このようにして、トレンチ素子分離域で囲われるMOSトランジスタが形成される。

【0048】

次に、本発明の特徴的な工程となる改質層すなわち酸窒化膜の除去工程について図3に基づいて説明する。ここで、図1と同じものは同一符号で示す。

【0049】

図1で説明したように、シリコン基板1の所定の領域に、パット酸化膜2、窒化珪素膜3をドライエッティングのマスクにしてトレンチ4を形成した後、所定の熱酸化でライナー酸化膜6を形成する。この熱酸化工程で、窒化珪素膜3の表面

は酸窒化膜15に改質される。

【0050】

本発明では、上記の酸窒化膜15の除去を次のようなドライエッチングで行う。すなわち、フッ素化合物と酸素とをプラズマ励起室でプラズマ励起する。そして、上記プラズマ励起室から離れたチャンバーに図3に示す構造のシリコン基板が載置される。そして、このチャンバーには、プラズマ励起室で生成した活性種のうち寿命の長い中性ラジカルA*が導入される。そして、本発明ではこの中性ラジカルA*により改質層である上記酸窒化膜15を選択的に除去する。このようにしてから、上述したブルバック工程において、窒化珪素膜3の高精度の一様なエッチングがなされる。

【0051】

具体的には、 CHF_3 と O_2 とHeの混合ガスを13.56MHzの高周波でプラズマ励起する。このプラズマ励起で生じる中性ラジカル16はフッ素ラジカルである。そして、このフッ素ラジカルにより上記酸窒化膜15を30秒程度で除去する。ここで、上記酸窒化膜15のみを高精度に除去するために、プラズマエッチングにおける終点判定を行う。上述したプラズマエッチングが開始されると酸窒化膜15とフッ素ラジカルが化学反応し反応生成物NHが生じる。そこで、このNHから発光する336nmの発光強度変化をモニターする。上記酸窒化膜15が除去されると窒化珪素膜3が露出する。この時点で、窒化珪素膜3とフッ素ラジカルとが化学反応しNHが急増し336nmの発光強度が急増する。この発光強度変化あるいは上記強度の微分変化より終点判定をする。

【0052】

あるいは、中性ラジカル16を CF_4 と O_2 とHeの混合ガスのプラズマ励起で生成する。この場合も、中性ラジカル16はフッ素ラジカルである。この場合の終点検出は、反応生成物であるCNから発光する388nmの発光強度変化モニターで行う。

【0053】

この酸窒化膜15の除去工程において、ライナー酸化膜6のエッチングが進行しないことが望ましい。これについて、下記の表1に基づいて説明する。

【0054】

【表1】

	ライナー酸化膜エッチング量
本発明（1）	1/3
本発明（2）	1/5
従来の方法	1（例えば9nm）

【0055】

従来の技術で説明したプルバック工程を施すトレンチ素子分離領域の形成方法では、上記酸窒化膜の除去は希フッ酸溶液中で行われる。表1では、この希フッ酸溶液での除去を従来の方法として示している。そして、上記CHF₃とO₂とHeの混合ガスのプラズマ励起の場合を本発明（1）とし、CF₄とO₂とHeの混合ガスのプラズマ励起の場合を本発明（2）として示す。

【0056】

表1から判るように、酸窒化膜15を完全に除去する場合に、従来の方法ではライナー酸化膜6が9nm程度エッチングされる。これに対して、本発明（1）の場合では、ライナー酸化膜6のエッチング量は3nm程度で従来の方法を1とするとその場合の1/3と大幅に低減する。更に、本発明（2）の場合では、エッチング量は低減し従来の方法の場合の1/5程度になる。

【0057】

次に、図4乃至図8で本発明の効果について説明する。図4は、本発明の方法で酸窒化膜15を除去した後の、上述した窒化珪素膜3表面のエッチング工程、すなわちプルバック工程での窒化珪素膜のエッチング量とエッチング時間の関係を示す。そして、図5は、表1で示した従来の方法の例である。ここで、窒化珪

素膜3のエッティング液は公知のホット磷酸溶液である。

【0058】

図4に示すように、窒化珪素膜のエッティング量はエッティング時間に正比例する。この場合には、後述するエッティング無効時間は全く存在しない。このために、本発明では、プルバック工程で、窒化珪素膜の一様なエッティングが高精度に行えるようになる。

【0059】

これに対して、従来の方法で酸窒化膜を除去した後、プルバック工程で窒化珪素膜をエッティングする場合には、図5に示すようにエッティング無効時間t1、t2、t3が生じる。このエッティング無効時間では、窒化珪素膜のエッティングが進行しない。これは、従来の方法では、改質層である酸窒化膜が希フッ酸溶液で完全にしかも安定して除去できないためである。しかも、このエッティング無効時間は、t1、t2、t3のように製造工程で大きくばらつく。この従来の方法では、窒化珪素膜の高精度なエッティングはできない。

【0060】

図4に基づき説明したように、本発明ではプルバック工程で窒化珪素膜のエッティングを高精度に行える。このために、本発明ではトレンチ素子分離領域の形成が高い制御性の下に行えるようになる。図6乃至図8に基づいて上記効果を説明する。図6乃至図7は、図2で説明したN型(P型)拡散層を形成後の断面図である。ここで、図1および図2で説明したものと同じものは同一符号で示す。

【0061】

図6で説明したように、シリコン基板1の所定の領域にトレンチ4が形成され、その側壁にライナー酸化膜6が形成され、トレンチ素子分離絶縁物8がトレンチ4内に埋め込まれて形成される。そして、破線で示した窒化珪素膜3aは除去され、拡散層17(上述したN型拡散層12あるいはP型拡散層14に相当する)が、保護絶縁膜9を通したイオン注入とその後の熱処理とで形成される。この拡散層17はMOSトランジスタのチャネルドープ層となる。

【0062】

本発明では、上述したようにプルバック工程で窒化珪素膜3を高精度にエッチ

ングするために、破線で示した窒化珪素膜3aの端部（トレンチ素子分離絶縁物8の端部）とトレンチ4の上端部の相対的な位置関係を高精度に制御できる。そして、上記イオン注入する工程において、トレンチ素子分離絶縁物8の端部とトレンチ4の上端部とが同一位置になるように形成される。このようにして、後述するような窪みの無いトレンチ素子分離絶縁物8が形成できる。また、シリコン基板1表面に拡散層17が一様に形成できるようになる。

【0063】

これに対して、上述した従来の方法では、プルバック工程においてエッチング無効時間が生じ易く、窒化珪素膜3のエッチング制御が難しい。図7(a)に示すように、プルバック工程の上記エッチング後において、窒化珪素膜3のエッチング量が小さく窒化珪素膜3aがトレンチ4の上端部でオーバーハングになると、トレンチ素子分離絶縁物8に窪み18が形成されるようになる。この場合には、拡散層17はシリコン基板1の表面部に一様に形成される。

【0064】

そして、図7(b)に示すように、プルバック工程の上記エッチング後において、窒化珪素膜3のエッチング量が大きく窒化珪素膜3aがトレンチ4の上端部から後退する場合には、上述した窪みの発生は無くなるが、シリコン基板1表面部に不均一な拡散層17aが形成され易くなる。これは、トレンチ素子分離絶縁物8が上記イオン注入する工程においてマスクとなり、その下に不純物注入ができなくなるからである。この拡散層の不均一性は、MOSトランジスタを形成した後のしきい値に大きな影響を及ぼす。

【0065】

次に、上記MOSトランジスタのしきい値の偏差と上記プルバック工程での窒化珪素膜3のエッチング量との関係を示す。このしきい値の偏差は半導体装置製造の1ロット分のN型チャネルのMOSトランジスタのものである。プルバック工程での窒化珪素膜エッチング量がある値（図8では20nm）までは、しきい値偏差は一定であるが、エッチング量がそれ以上になるとしきい値偏差はエッチング量と共に増加するようになる。上記のある値は、図6で説明したようにイオン注入する工程において、トレンチ素子分離絶縁物8の端部とトレンチ4の上端

部とが同一位置になるところである。このような現象は、MOSトランジスタが微細化しチャネル幅が小さくなることにより顕著に現れる。

【0066】

以上の実施の形態では、埋込み用絶縁膜をバイアスECR法で堆積した。この他の高密度プラズマ励起のCVD法で埋込み用絶縁膜を堆積させる場合でも、本発明は同様に適用できることに言及しておく。また、上記の実施の形態では、埋込み用絶縁膜がシリコン酸化膜で構成される場合について説明した。この埋込み用絶縁膜がシリコンオキシナイトライド膜で構成されても本発明は同様に適用できることにも言及しておく。

【0067】

また、本発明では耐酸化性の絶縁膜として窒化珪素膜を用いた場合について説明した。本発明はこれに限定されるものではない。本発明は、その他のアルミナ膜等を用いても同様に適用できる。

【0068】

また、本発明は、トレンチ素子分離領域を形成する場合に限定されるものでなく、LOCOS (Local Oxidation of Silicon) 形成後に窒化珪素膜のような耐酸化性の絶縁膜をエッチング除去する場合にも適用できるものである。

【0069】

なお、本発明は上記実施の形態に限定されず、本発明の技術思想の範囲内において、各実施の形態が適宜変更され得ることは明らかである。

【0070】

【発明の効果】

以上に説明したように本発明では、半導体基板表面にトレンチ素子分離領域を形成する場合に、半導体基板表面に第1の絶縁膜と耐酸化性のある第2の絶縁膜とをこの順に積層しパターニングし、第2の絶縁膜パターンをエッチングマスクにして半導体基板をドライエッチングして溝を形成し、更に上記第2の絶縁膜パターンを酸化マスクにして半導体基板を熱酸化し、上記熱酸化工程において第2の絶縁膜表面に形成される改質層をフッ素含有の中性ラジカルで除去する。そし

て、上記改質層を除去した後に上記第2の絶縁膜表面を所定の膜厚量エッチングし、上記第2の絶縁膜表面のエッチング後に溝を充填するように全面に埋込み絶縁膜を堆積させ、上記第2の絶縁膜を研磨ストップとして埋込み絶縁膜を化学機械研磨してトレンチ素子分離絶縁物を形成する。そして、本発明では、上記トレンチ素子分離領域において、上記溝の上端部と上記トレンチ素子分離絶縁物の端部とが同一線上に位置するように形成される。

【0071】

このために、溝を充填するトレンチ素子分離絶縁物の端部での窪みの形成は安定して抑えられ、その深さのバラツキはなくなる。そして、トレンチ素子分離領域を有するMOSトランジスタにおいて、上述したハングの現象は完全に抑制されると共にそのしきい値は高精度に制御でき、そのバラツキも大幅に低減する。このようにして、トレンチ素子分離領域を有するMOSトランジスタが高い制御性と高い歩留まりのもとで形成できるようになる。

【0072】

更に、トレンチ素子分離域を有するMOSトランジスタの微細化は容易になり、半導体装置の高集積化、高密度化が促進される。また、半導体装置の高信頼性および高歩留まりが確保できる。

【図面の簡単な説明】

【図1】

本発明の実施の形態を説明するためのトレンチ素子分離領域の製造工程順の断面図である。

【図2】

上記工程の続きを説明するためのトレンチ素子分離領域の製造工程順の断面図である。

【図3】

本発明の特徴を説明するためのトレンチ素子分離領域形成の一工程の断面図である。

【図4】

本発明の効果を説明するためのグラフである。

【図5】

本発明の効果を説明するためのグラフである。

【図6】

本発明の構造とその効果を説明するためのトレンチ素子分離領域の一工程後の断面図である。

【図7】

本発明の構造とその効果を説明するためのトレンチ素子分離領域の一工程後の断面図である。

【図8】

本発明の構造における効果を説明するためのグラフである。

【図9】

本発明の効果を説明するMOSトランジスタの特性を示すグラフである。

【図10】

第1の従来例の技術を説明するためのトレンチ素子分離領域の製造工程順の断面図である。

【図11】

第2の従来例の技術を説明するためのトレンチ素子分離領域の製造工程順の断面図である。

【図12】

上記工程の続きを説明するためのトレンチ素子分離領域の製造工程順の断面図である。

【符号の説明】

- 1, 101, 201 シリコン基板
- 2, 102, 202, 202a パット酸化膜
- 3, 103, 203, 203a 窒化珪素膜
- 4, 104, 204 トレンチ
- 5, 105 後退部
- 6, 107, 205 ライナー酸化膜
- 7, 106 丸めた角部

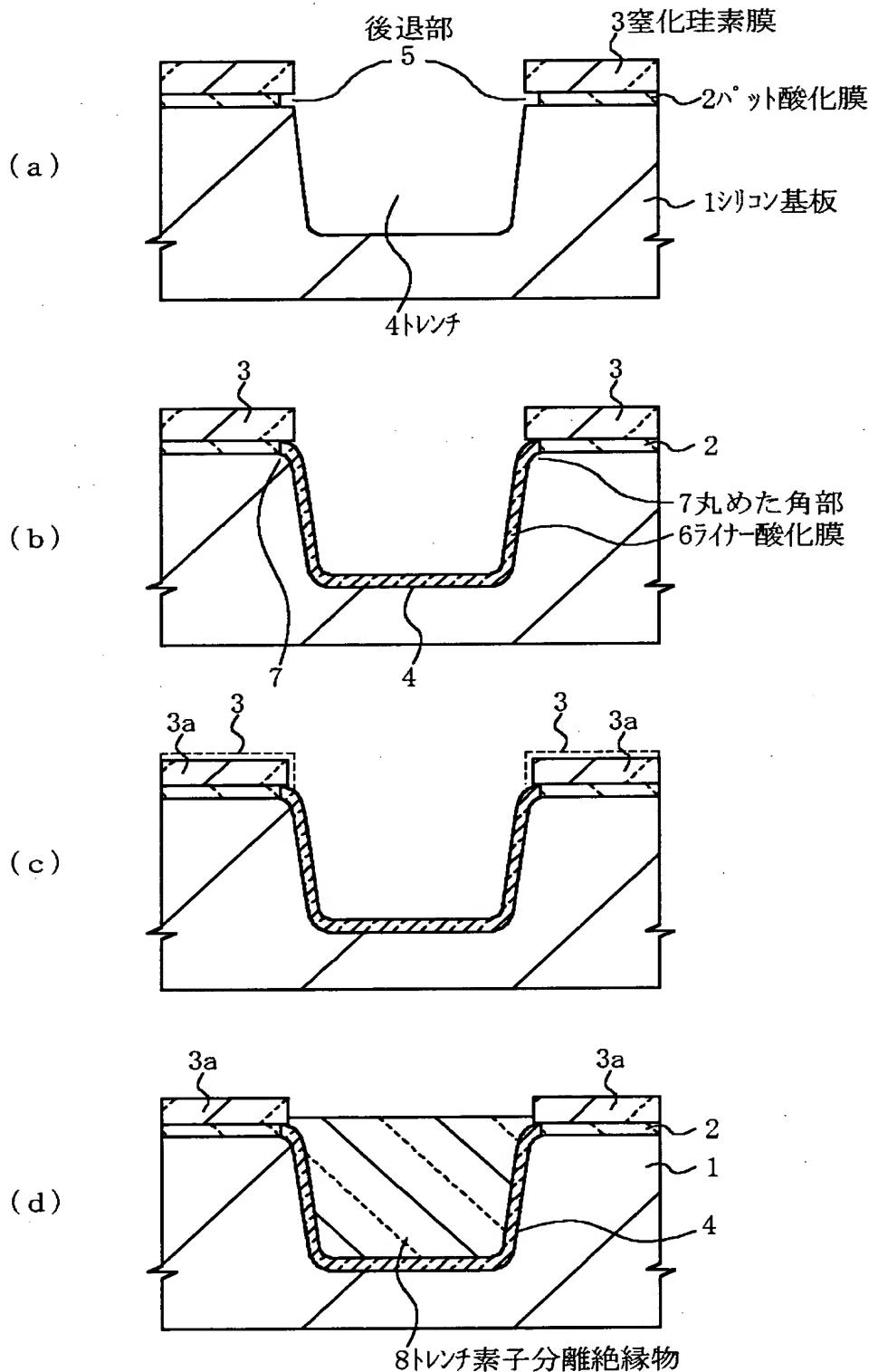
8, 109, 208, 208a, 208b, 208c トレンチ素子分離絶縁物

9 保護絶縁膜

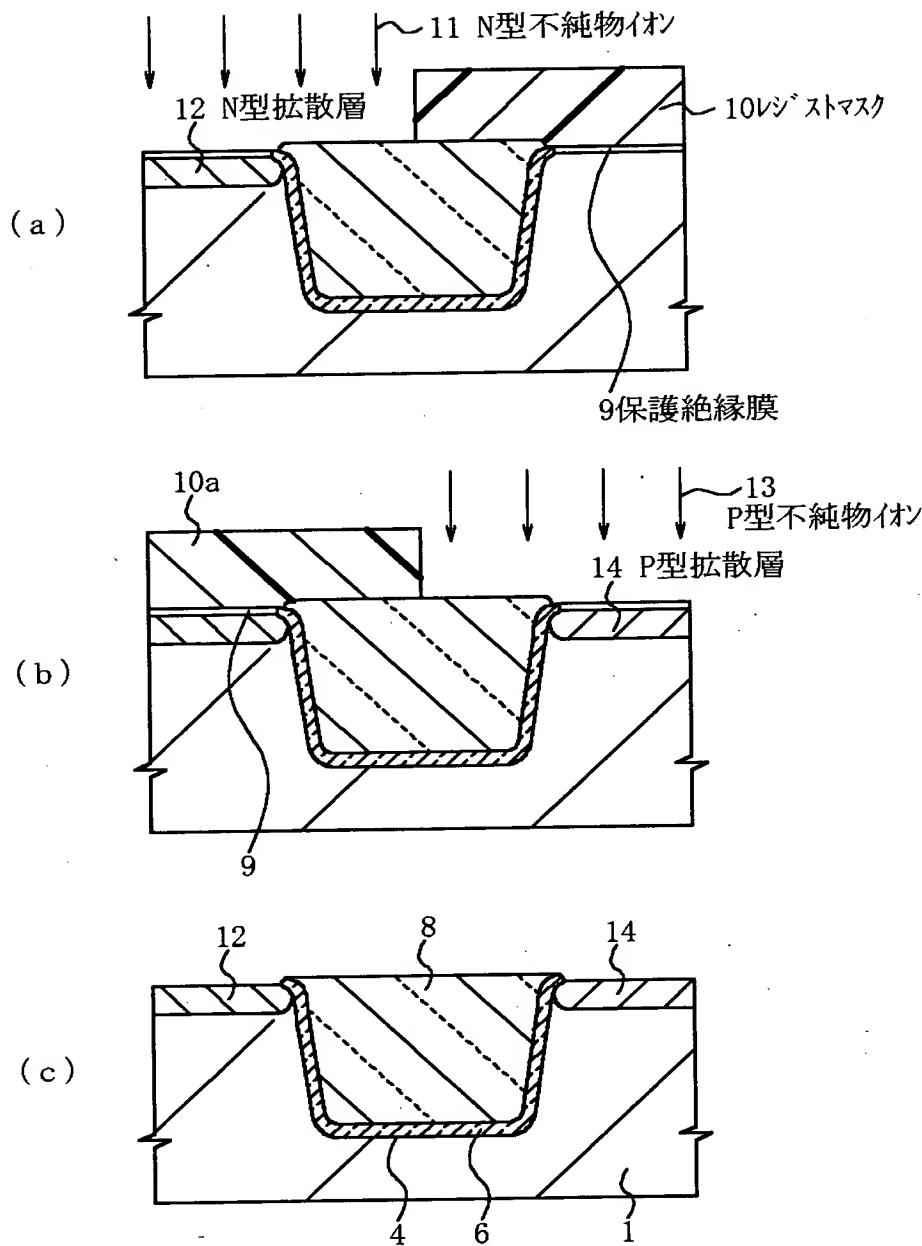
- 10, 10a レジストマスク
- 11 N型不純物イオン
- 12 N型拡散層
- 13 P型不純物イオン
- 14 P型拡散層
- 15 酸窒化膜
- 16 中性ラジカル
- 17, 17a, 209 拡散層
- 18, 110, 110a 窪み
- 108, 207 埋込み用絶縁膜
- 206 窒化珪素膜の端部

【書類名】 図面

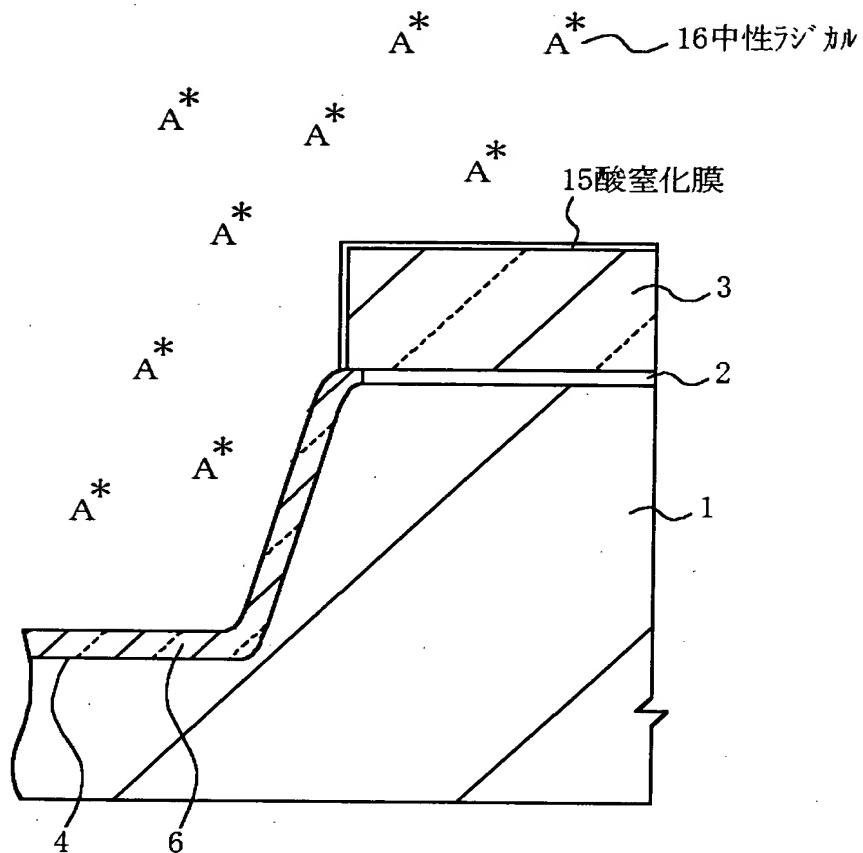
【図1】



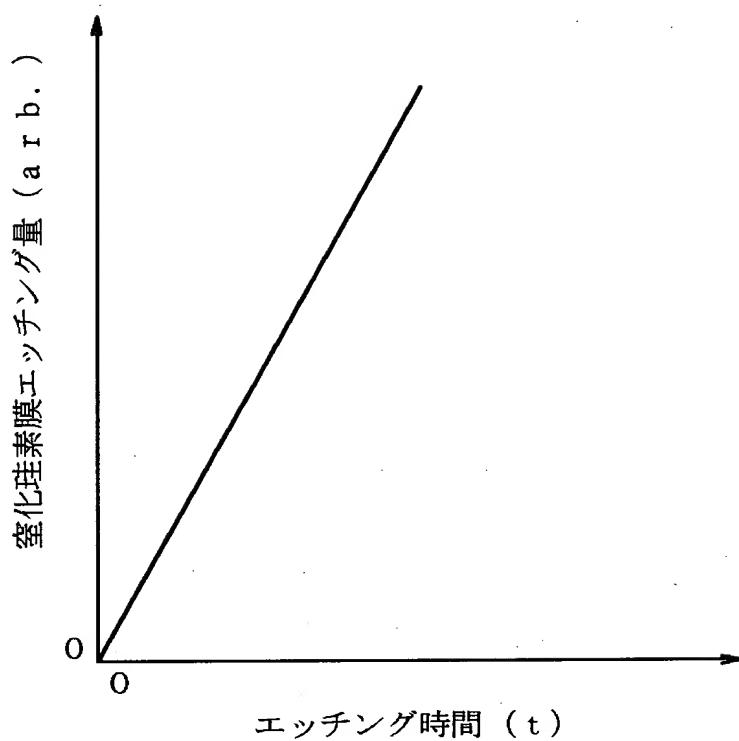
【図2】



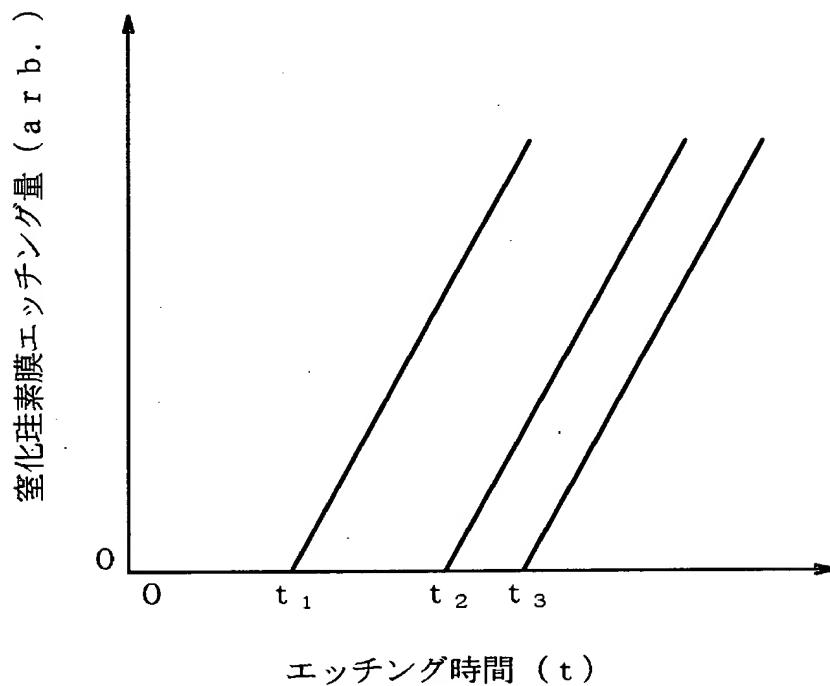
【図3】



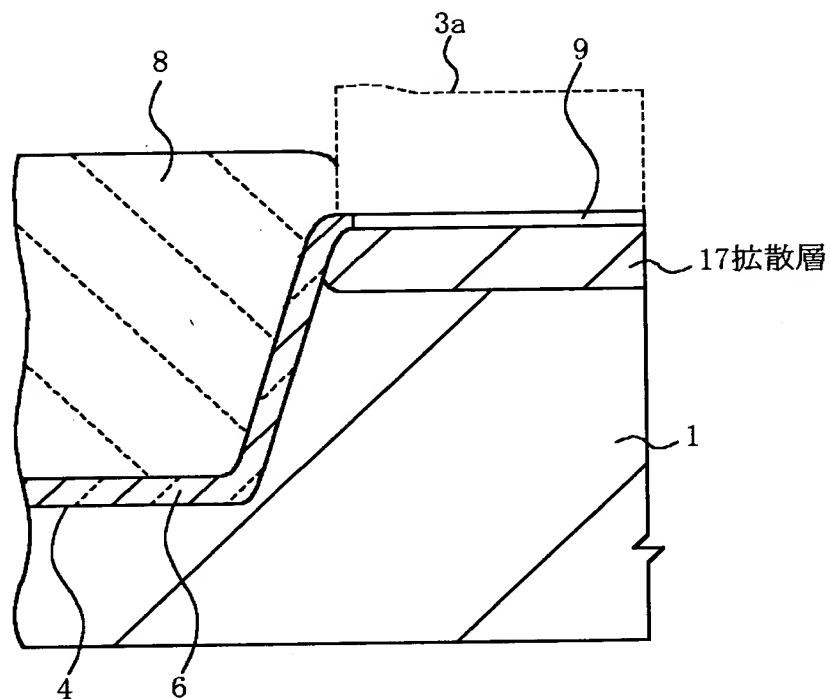
【図4】



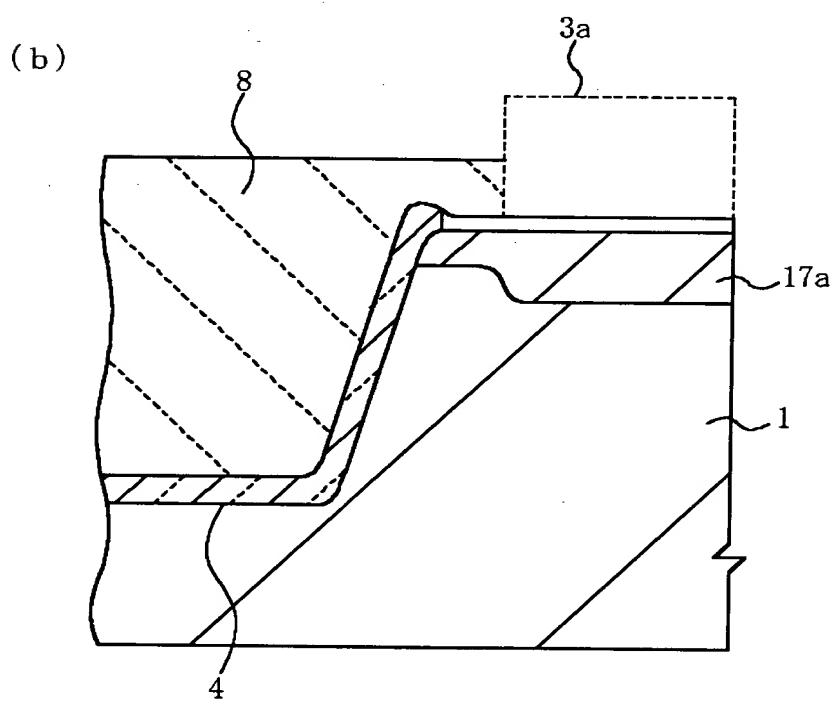
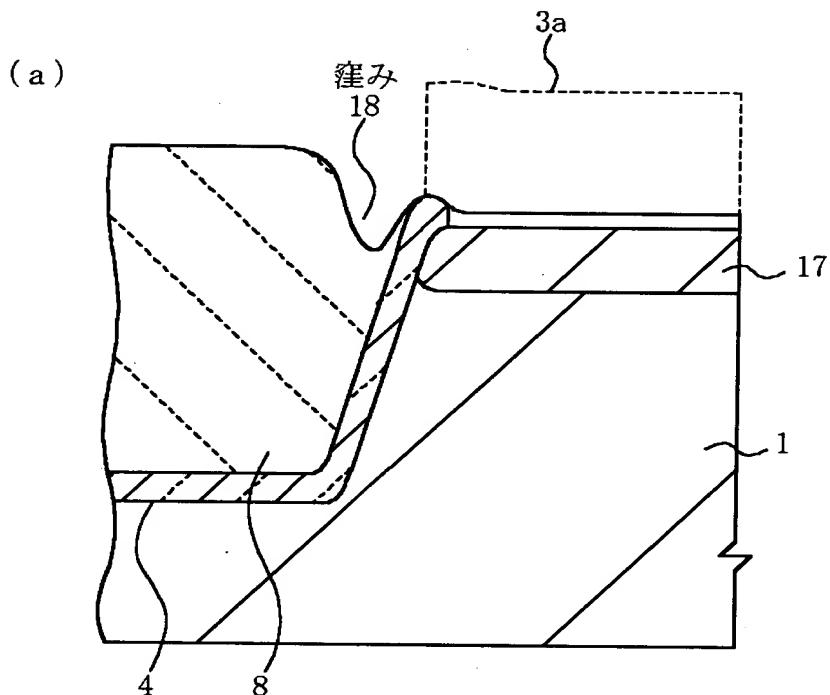
【図5】



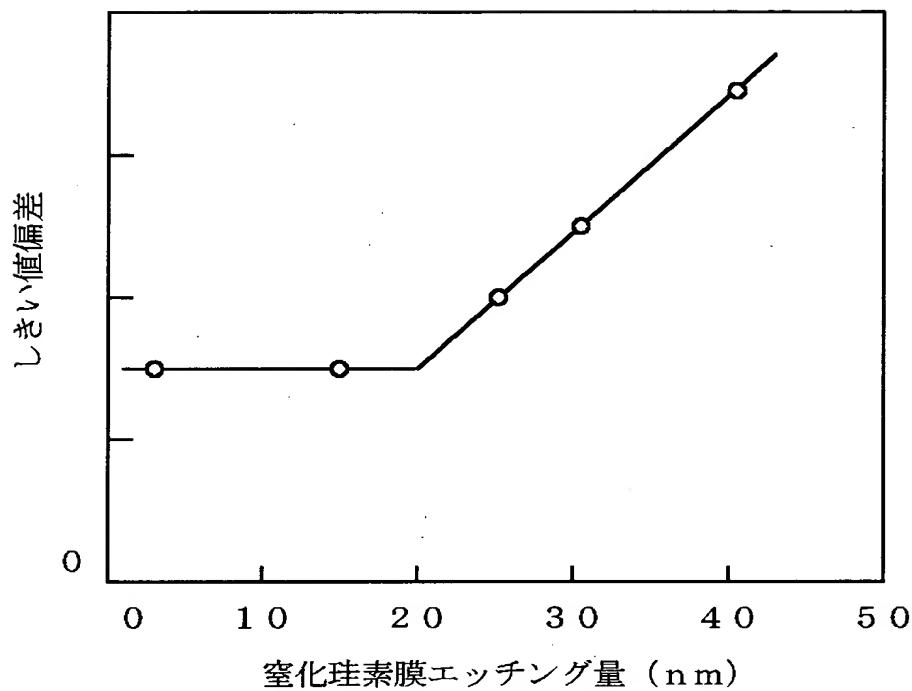
【図6】



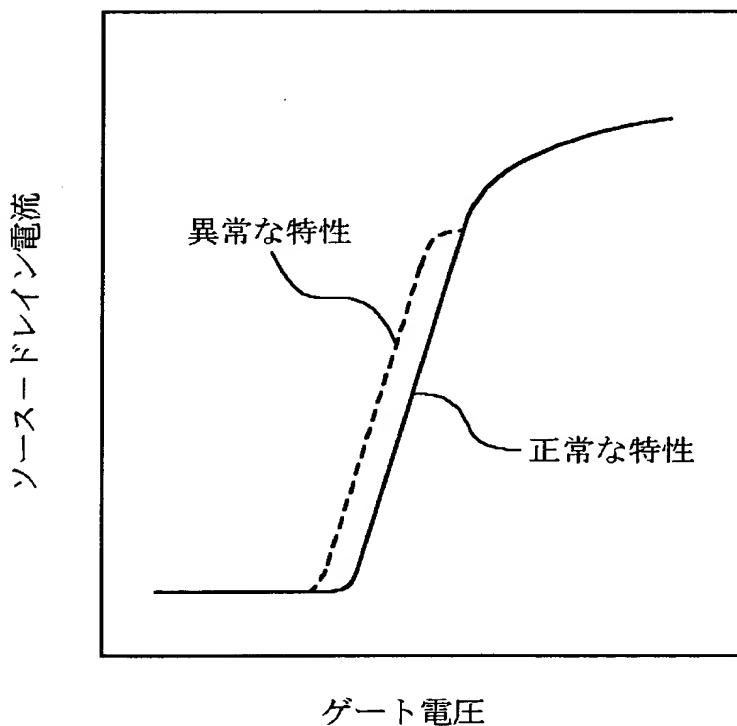
【図7】



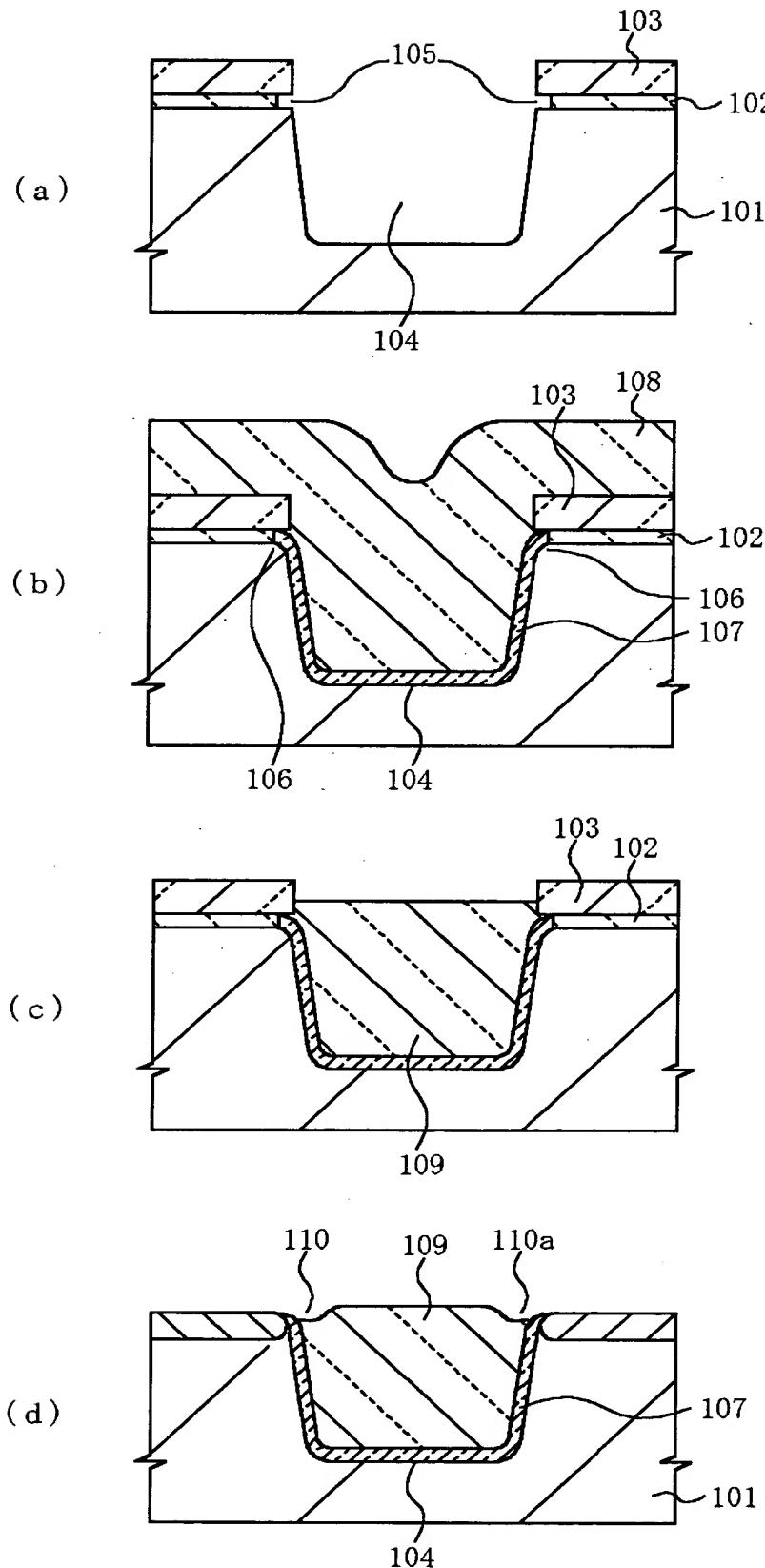
【図8】



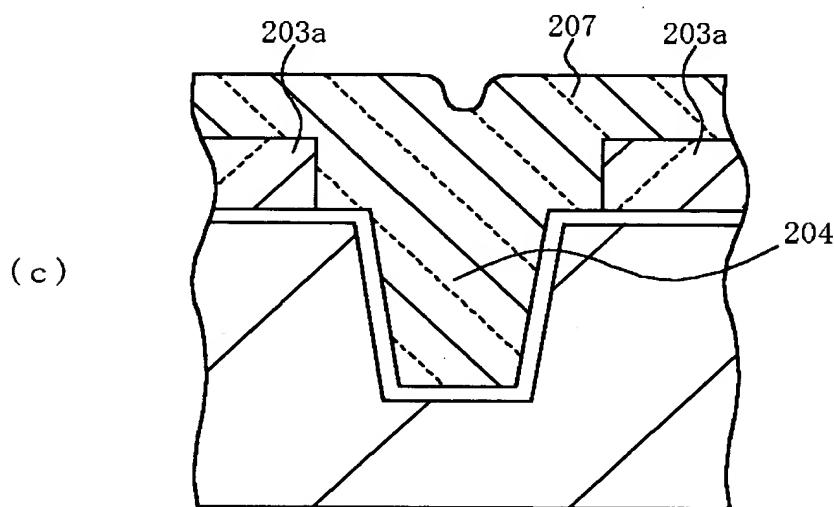
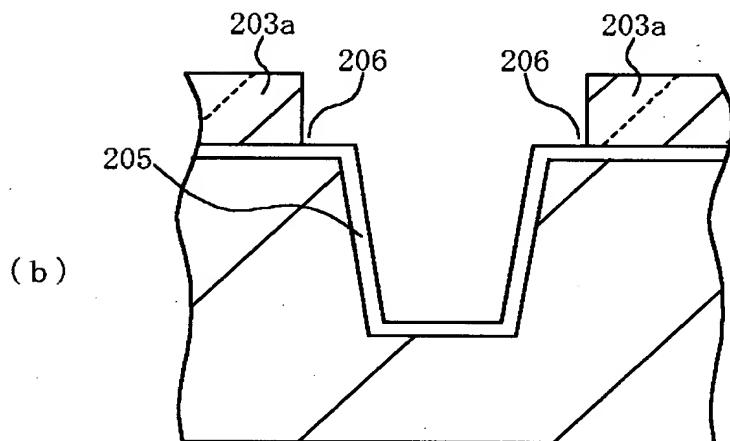
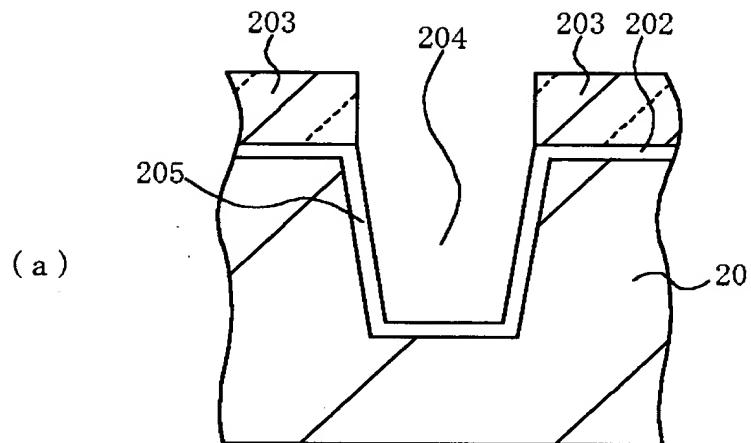
【図9】



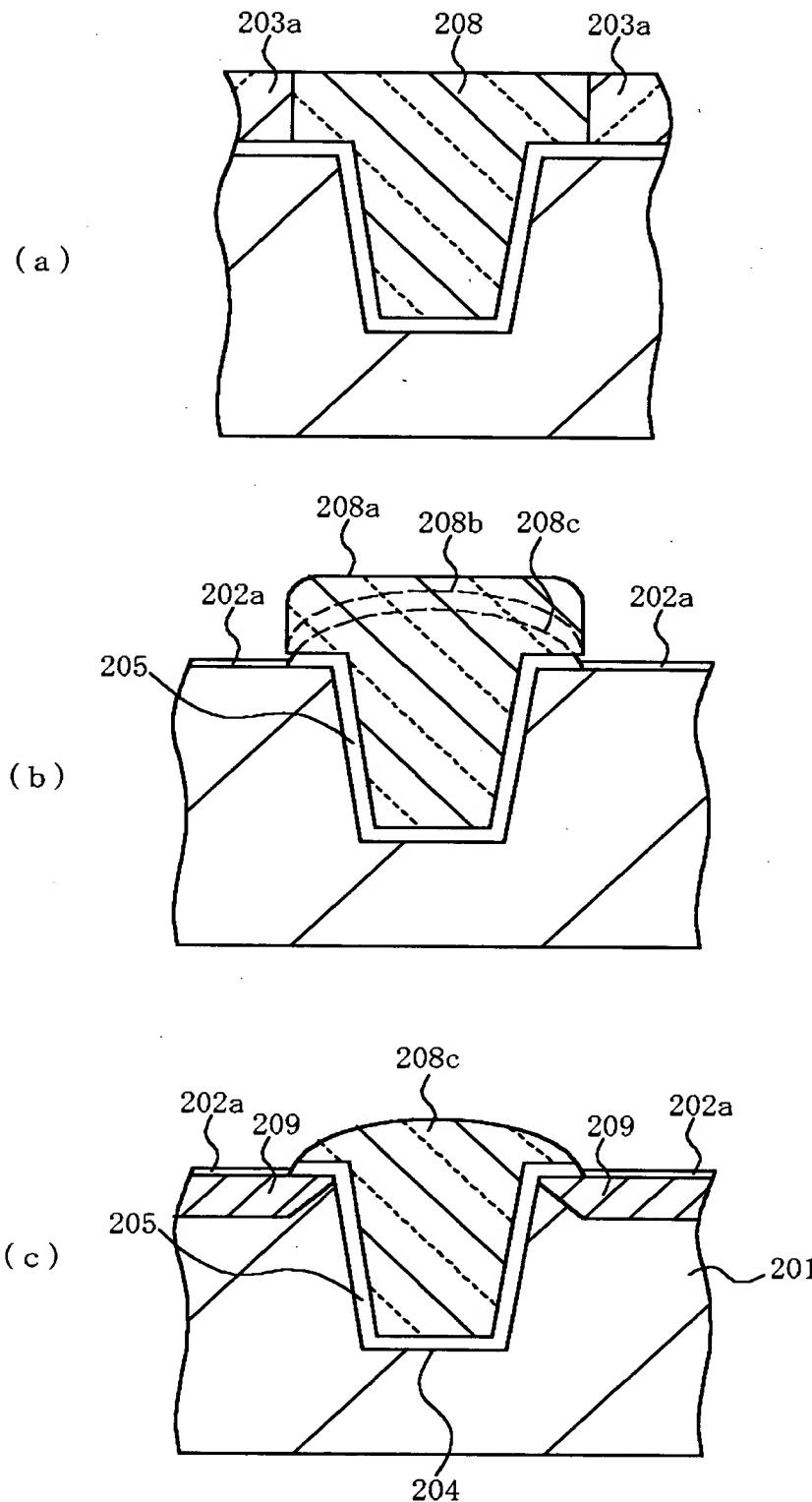
【図10】



【図11】



【図12】



【書類名】 要約書

【要約】

【課題】 トレンチ素子分離領域の端部の窪み発生を安定的に抑制し、ハンプ現象の生じないMOSトランジスタを安定して製造できるようにする。

【解決手段】 シリコン基板1上にパット酸化膜2と窒化珪素膜3を形成し、窒化珪素膜3をエッティングマスクにしたドライエッティングでトレンチ4を形成し、更に窒化珪素膜3を酸化マスクにしてシリコン基板1を熱酸化し、上記熱酸化工程において窒化珪素膜3表面に形成される改質層をフッ素含有の中性ラジカルで除去する。そして、上記改質層を除去した後に上記窒化珪素膜3表面を所定の膜厚量エッティングし、窒化珪素膜3a形成後にトレンチ4を充填するように全面に埋込み絶縁膜を堆積させ、上記窒化珪素膜3aを研磨ストップとして埋込み絶縁膜を化学機械研磨してトレンチ素子分離絶縁物8を形成する。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2000-297485
受付番号	50001258620
書類名	特許願
担当官	第五担当上席 0094
作成日	平成12年 9月29日

＜認定情報・付加情報＞

【提出日】 平成12年 9月28日

次頁無

出願人履歴情報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都港区芝五丁目7番1号

氏 名 日本電気株式会社